

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-206661

(43)Date of publication of application : 10.09.1991

(51)Int.Cl.

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 02-001919

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.01.1990

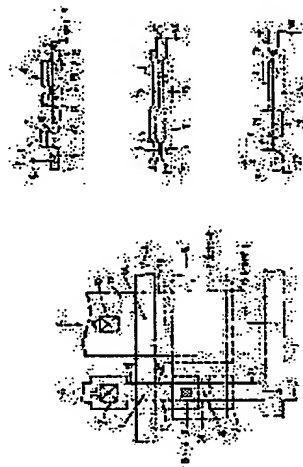
(72)Inventor : AZUMA MASAHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain an EEPROM, of one-layer structure, whose reliability is high and whose production process is simple by a method wherein a floating gate is formed on a tunnel region via an insulating film which is thinner than other regions.

CONSTITUTION: An element region including contact holes 9 and 10 of a bit line and a word line is formed on a substrate so as to be separated by element isolation regions 17. A channel region 14 is formed on a tunnel region 5 via a thin oxide film 6; a floating gate 2 composed of poly-Si is formed on a region including the channel region 14 and the tunnel region 5 via an oxide film 15; a gate 2 is extended across an isolation oxide film 17; a control gate 13 composed of an n-type impurity introduction layer is formed, under the floating gate 2 of an extended part, inside a p-type substrate 100 via an oxide film 16; a one-layer gate structure is formed. The bit line is connected to an n-type impurity introduction layer 19 of a selective transistor 1 via the contact hole 9. The word line is connected to an n-type impurity introduction region 22 of a selection transistor 1A via the contact hole 10.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-206661

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月10日

H 01 L 27/115
29/788
29/792

8831-5F H 01 L 27/10 4 3 4
7514-5F 29/78 3 7 1

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-1919

⑰ 出 願 平2(1990)1月9日

⑱ 発 明 者 東 雅 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井桁 貞一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

電氣的に書込及び消去可能な読出専用メモリ
(EEPROM)セルであって、

一導電型半導体基板にチャネル領域を隔てて形成された反対導電型ソースと反対導電型ドレインと、該チャネル領域より離れて該基板に形成された反対導電型制御ゲートと、絶縁膜を介して該基板の該ドレイン上、該チャネル領域上及び該制御ゲート上に一体化して形成された浮遊ゲートとを有し、

該ドレインは第1選択トランジスタを経由してビット線に接続され、

該制御ゲートは該第1選択トランジスタとゲートを共有する第2選択トランジスタを経由してワード線に接続され、

該絶縁膜は該ドレイン上においてトンネル領域

を有し、該トンネル領域はその他の領域より薄い絶縁膜で形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

電氣的に書込及び消去可能な読出専用メモリ
(EEPROM)セルに関し、

信頼性が高く、製造工程が簡単な1層ゲート構造EEPROMを提供することを目的とし、

電氣的に書込及び消去可能な読出専用メモリセルであって、一導電型半導体基板にチャネル領域を隔てて形成された反対導電型ソースと反対導電型ドレインと、該チャネル領域より離れて該基板に形成された反対導電型制御ゲートと、絶縁膜を介して該基板の該ドレイン上、該チャネル領域上及び該制御ゲート上に一体化して形成された浮遊ゲートとを有し、該ドレインは第1選択トランジスタを経由してビット線に接続され、該制御ゲートは該第1選択トランジスタとゲートを共有す

る第2選択トランジスタを経由してワード線に接続され、該絶縁膜は該ドレイン上においてトンネル領域を有し、該トンネル領域はその他の領域より薄い絶縁膜で形成されているように構成する。

(産業上の利用分野)

本発明は半導体装置、特に電氣的に書込及び消去可能な読出専用メモリ(BEPRON)セルに関する。

(従来の技術)

従来のBEPRONセルは、第2図に示される2層ゲート構造が多く用いられている。

第2図(1)、(2)は従来例による2層ゲートBEPRONセルの平面図と断面図である。

図において、トンネル領域105上には薄い酸化膜106を介して、チャネル領域114上には酸化膜115を介してポリSi膜からなる浮遊ゲート102が形成され、更に浮遊ゲート102の上に酸化膜116を介してポリSi膜からなる制御ゲート103が形成されて、2層ゲート構造となっている。

謂シングルポリBEPRON)¹⁾が提案されている。

1) 例えば

特開昭63-166274、特開昭63-136573、

特開昭63-156361。

1層ゲートBEPRONは、浮遊ゲートを読出トランジスタのチャネル領域より延長して形成し、制御ゲートが浮遊ゲートの延長部と酸化膜を介してp型基板内に形成されたn型領域で構成されている。

従って、製造工程は1層のポリSi膜で形成されて簡単となるが浮遊ゲートの延長分だけ集積度が低下する。

このために、特開昭63-156361には、トンネル領域を読出トランジスタのドレイン上及び制御ゲート上に形成して、セル面積が小さい1層ゲートBEPRONを提案している。次の第3図でその概略を説明する。

第3図は従来例による1層ゲートBEPRONセルの平面図である。

図において、トンネル領域5上には薄い酸化膜を介して、又チャネル領域14とトンネル領域5と

読出トランジスタ104はp型基板120にチャネル領域114を挟んで形成されたn型領域122及び123と基板上に酸化膜を介して形成された浮遊ゲート102及び制御ゲート(ワード線)103で構成される。

選択トランジスタ101はp型基板120にチャネル領域を挟んで形成されたn型領域121及び122とチャネル領域上に酸化膜124を介して形成されたゲート107で構成される。

ビット線はコンタクトホール125を介して選択トランジスタ101のn型領域121に接続されている。

ワード線は制御ゲート103を用いる。

従来例の2層ゲートBEPRON(所謂ダブルポリBEPRON)は高密度の集積が可能で信頼性も十分であり汎用メモリとして用いられているが、製造工程が複雑であるためマイクロプロセッサやカスタムロジック集積回路のリソースに簡単に取り込むことが出来ないといった問題があった。

そこで製造工程が簡単な1層ゲートBEPRON(所

を含んだ領域上には酸化膜を介してポリSi膜からなる浮遊ゲート2が形成され、浮遊ゲート2は分離酸化膜を越えて隣の素子領域まで延長され、延長部の浮遊ゲート2の下にトンネル領域5A上の薄い酸化膜を含む酸化膜を介して、基板内に不純物導入層からなる制御ゲート13が形成されて、1層ゲート構造となっている。

読出トランジスタ4は基板にチャネル領域14を挟んで不純物を導入して形成されたドレイン領域11及びソース領域12と、基板上に酸化膜を介して形成された浮遊ゲート2で構成される。

選択トランジスタ1は基板にチャネル領域を挟んで形成された不純物導入領域19及び20とチャネル領域上に酸化膜を介して形成されたゲート7で構成される。

選択トランジスタ1Aは基板にチャネル領域を挟んで形成された不純物導入領域22及び23とチャネル領域上に酸化膜を介して形成されたゲート7で構成される。

ビット線はコンタクトホール9を介して選択ト

ランジスタ1の不純物導入領域19に接続されている。

ワード線はコンタクトホール10を介して選択トランジスタ1Aの不純物導入領域22に接続されている。

(発明が解決しようとする課題)

しかしながら、上記従来例の1層ゲートEEPROMは制御ゲート上に面積の大きいトンネルキャパシタを有するため、電界によるストレスでEEPROMはデータ保持特性が劣化する確率が高いという問題があった。

本発明は信頼性が高く、製造工程が簡単な1層ゲート構造EEPROMを提供することを目的とする。

(課題を解決するための手段)

上記課題の解決は、一導電型半導体基板にチャネル領域を隔てて形成された反対導電型ソースと反対導電型ドレインと、該チャネル領域より離れて該基板に形成された反対導電型制御ゲートと、

絶縁膜を介して該基板の該ドレイン上、該チャネル領域上及び該制御ゲート上に一体化して形成された浮遊ゲートとを有し、該ドレインは第1選択トランジスタを経由してビット線に接続され、該制御ゲートは該第1選択トランジスタとゲートを共有する第2選択トランジスタを経由してワード線に接続され、該絶縁膜は該ドレイン上においてトンネル領域を有し、該トンネル領域はその他の領域より薄い絶縁膜で形成されている半導体装置により達成される。

(作用)

制御ゲートに印加する書込電圧を V 、浮遊ゲート電圧を V_{fc} 、読出トランジスタのドレイン/浮遊ゲート間容量(トンネル領域の容量)を C_1 、浮遊ゲート/制御ゲート間容量を C_2 、浮遊ゲートに蓄積される電荷を Q とすると次の式が成り立つ。

$$V_{fc} = C_2 V / (C_1 + C_2) + Q / (C_1 + C_2).$$

従って、所定の V_{fc} を与えるためには、書込電

圧 V の係数 $C_2 / (C_1 + C_2)$ が1に近づくほど望ましいが、実際の設計上消去電圧との関連で C_2 は C_1 の2~2.5倍程度に設定される。

ここで、 C_1 のトンネルキャパシタを必要最低限の面積で形成すると、 C_2 は C_1 の2~2.5倍程度の大きさであるので、トンネルキャパシタを形成しなくとも十分にこの関係が成立するように形成できることが確認できた。

即ち、例えば C_1 のトンネルキャパシタの膜厚を100Å、 C_2 の膜厚を200Åとすれば、上記のように C_2 の面積は C_1 の(2~2.5)×2倍、即ち、4~5倍であればよく、この程度の倍率であれば、 C_2 は、 C_1 を包含するドレイン領域よりさらに広い面積を持つ読出トランジスタと同程度の幅でレイアウトができ、セル全体で均衡のとれたパターンレイアウトが可能である。

(実施例)

第1図(1)~(4)は本発明の一実施例を説明する1層ゲートEEPROMセルの平面図と断面図である。

図において、第1図(1)は平面図、(2)はA-A断面、(3)はB-B断面、(4)はC-C断面である。

1層ゲートEEPROMセルはビット線のコンタクトホール9を含む素子領域は第2図の2層ゲートEEPROMセルと同じ構成であるが、ワード線のコンタクトホール10を含む素子領域は、素子分離領域17でビット線のコンタクトホール9を含む素子領域と隔てられて基板上の別の場所に形成されている。

トンネル領域5上には薄い酸化膜6を介して、又チャネル領域14とトンネル領域5とを含んだ領域上には酸化膜15を介してポリSi膜からなる浮遊ゲート2が形成され、浮遊ゲート2は分離酸化膜17を越えて隣の素子領域まで延長され、延長部の浮遊ゲート2の下に酸化膜16を介して、p型基板100内にn型不純物導入層からなる制御ゲート13が形成されて、1層ゲート構造となっている。

読出トランジスタ4はp型基板100にチャネル領域14を挟んでn型不純物を導入して形成されたドレイン領域11及びソース領域12と、基板上に酸

化膜15を介して形成された浮遊ゲート2で構成される。

選択トランジスタ1はp型基板100にチャネル領域を挟んで形成されたn型不純物導入領域19及び20とチャネル領域上に酸化膜18を介して形成されたゲート7で構成される。

選択トランジスタ1Aはp型基板100にチャネル領域を挟んで形成されたn型不純物導入領域22及び23とチャネル領域上に酸化膜24を介して形成されたゲート7で構成される。

ビット線はコンタクトホール9を介して選択トランジスタ1のn型不純物導入領域19に接続されている。

ワード線はコンタクトホール10を介して選択トランジスタ1Aのn型不純物導入領域22に接続されている。

製造工程順序の概略は次の通りである。

n型不純物導入領域である制御ゲート13と読出トランジスタ4のドレイン領域11及びソース領域12は同時に形成され、且つ読出トランジスタ4の

チャネル領域14がドレイン領域11及びソース領域12の形成により決定される。

基板にn型不純物を導入して、読出トランジスタのドレイン領域11、ソース領域12及び制御ゲート13が形成された後に、ポリSi膜からなる浮遊ゲート2及び選択トランジスタ1のゲートが形成され、これらのゲートに自己整合して不純物導入領域19、20、21、22、23(ドレイン領域11、ソース領域12及び制御ゲート13以外の不純物導入領域)が形成される。

次に、実施例の効果を示す数値例を従来例(1層ゲートの)と対比して例示する。

書込動作時に C_2 に印加される電圧 V_2 は、書込電圧を V とすると、

$$V_2 = C_1 V / (C_1 + C_2)$$

で表される。ここで、浮遊ゲート/制御ゲート間の容量 C_2 は、作用の欄で述べたように膜厚にかかわらずある一定の容量が必要である。従って、 V_2 も膜厚にかかわらずある一定の値をとる。

そこで、 C_2 に印加される電界 E_2 は、膜厚を

d_2 とすれば、

$$E_2 = V_2 / d_2$$

となり、膜厚が厚い程電界は弱くなり、信頼性の向上が望める。

例えば、 $C_1 : C_2 = 1 : 2.5$ とし、書込電圧(バルス) V を18Vとすると、

$$V_2 = 18 / (1 + 2.5) = 5.1 \text{ V}$$

となる。

ここで、 C_2 にトンネル膜を用いると、

$d_2 = 100 \text{ \AA}$ として電界 E_2 は、

$$\begin{aligned} E_2 &= 5.1 \text{ V} / 100 \times 10^{-8} \text{ cm} \\ &= 5.1 \text{ MV/cm} \end{aligned}$$

となり、薄い膜に大きな電界が印加されることになる。

(発明の効果)

以上説明したように本発明によれば、信頼性が高く、製造工程が簡単な1層ゲート構造EEPROMが得られた。

4. 図面の簡単な説明

第1図(1)~(4)は本発明の一実施例を説明する1層ゲートEEPROMセルの平面図と断面図、

第2図(1)、(2)は従来例による2層ゲートEEPROMセルの平面図と断面図、

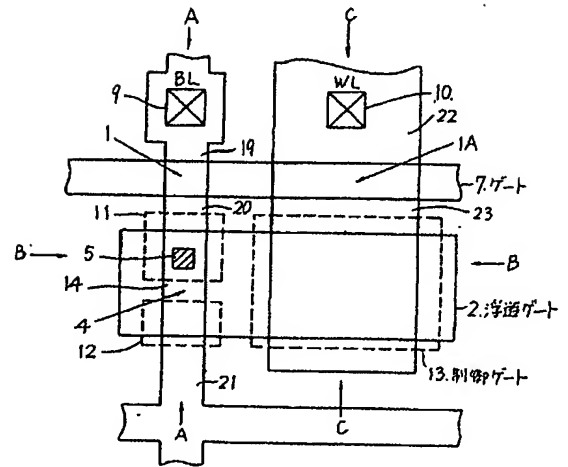
第3図は従来例による1層ゲートEEPROMセルの平面図である。

図において、

- 1、1Aは選択トランジスタ、
- 2は浮遊ゲート、
- 4は読出トランジスタ、
- 5はトンネル領域、
- 6は薄い酸化膜、
- 7は選択トランジスタのゲート、
- 9はビット線のコンタクトホール、
- 10はワード線のコンタクトホール、
- 11は読出トランジスタのドレイン領域、
- 12は読出トランジスタのソース領域、
- 13は制御ゲート、
- 14は読出トランジスタのチャネル領域、

15, 16, 18, 24はゲート酸化膜,
17は分離酸化膜,
19, 20, 21, 22, 23はn型不純物導入領域,
100 はp型基板
である。

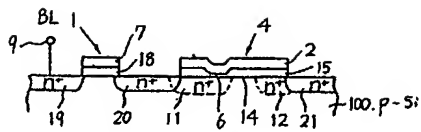
代理人 弁理士 井桁貞一



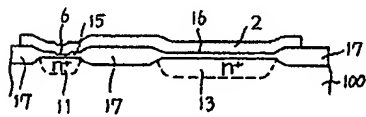
- 1, 1A: 選択トランジスタ
- 4: 読出トランジスタ
- 5: トンネル領域
- 11: 読出トランジスタのドレイン領域
- 12: ソース領域
- 14: チャネル領域

(1) 平面図

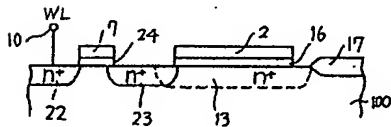
実施例の図
第1図(4の1)



(2) A-A 断面

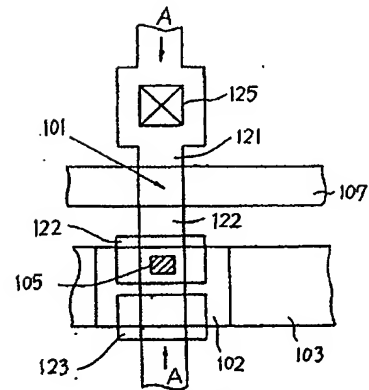


(3) B-B 断面

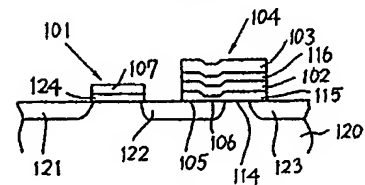


(4) C-C 断面

実施例の図
第1図(4の2)

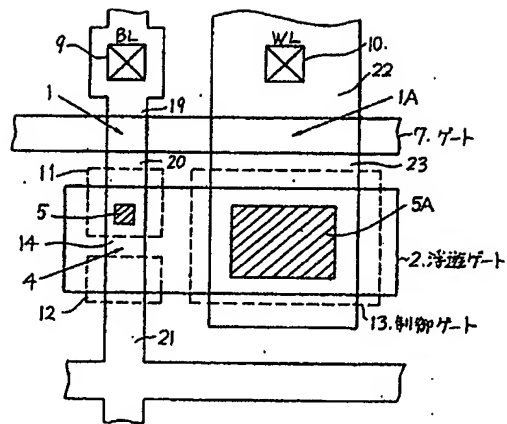


(1) 平面図



(2) A-A 断面

従来例の図(2層ゲート)
第2図



- 1, 1A: 選択トランジスタ
 4: 読出トランジスタ
 5, 5A: トンネル領域
 11: 読出トランジスタのドレイン
 12: ソース
 14: チャンネル領域

従来例の平面図(1層ゲート)

第 3 図